

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 103 08 924.1

Anmeldetag: 28. Februar 2003

Anmelder/Inhaber: Infineon Technologies AG, 81669 München/DE

Bezeichnung: Integrierte Halbleiterschaltung mit einer
Vielzahl von Speicherzellen

IPC: H 01 L 27/108

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 16. Februar 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Beschreibung

Integrierte Halbleiterschaltung mit einer Vielzahl von Speicherzellen

5

Die Erfindung betrifft eine integrierte Halbleiterschaltung mit einer Vielzahl von Speicherzellen, die jeweils einen Auswahltransistor und einen Speicherkondensator aufweisen und durch Bitleitungen und Wortleitungen elektrisch ansteuerbar sind,

10

- wobei in Höhe der Wortleitungen elektrische Kontaktstrukturen angeordnet sind, die die Bitleitungen mit den Auswahltransistoren der Speicherzellen elektrisch verbinden,
- wobei die Kontaktstrukturen an den Wortleitungen vorbeiführen und gegenüber den Wortleitungen durch seitliche Isolierungen isoliert sind und
- wobei jeweils zwei zueinander benachbarte Bitleitungen an einen gemeinsamen Signalverstärker angeschlossen sind.

15

20

In solchen Halbleiterschaltungen werden in den Speicherkondensatoren der Speicherzellen gespeicherten Informationen durch das Aktivieren der Bitleitungen und Wortleitungen ausgelesen, wobei zur Identifizierung eines Speicherzustandes das elektrische Potential zweier Bitleitungen von einem Signalverstärker erfaßt wird. Der Signalverstärker (sense amplifier) wirkt als Spannungsdifferenzverstärker, der nach dem Lesen des Potentials einer geöffneten Bitleitung dieses Signal verstärkt in die geöffnete Speicherzelle zurückschreibt. Beim folded bitline-Aufbau integrierter Halbleiterspeicher wird beim Auslesen einer von zwei benachbarten Bitleitungen als Referenzpotential dasjenige der jeweils anderen Bitleitung verwendet.

25

30

Jede Speicherzelle wird durch das Aktivieren zuerst einer Wortleitung und danach einer Bitleitung ausgelesen, wodurch im Falle eines Feldeffekttransistors als Auswahltransistor der Inversionskanal die elektrische Verbindung zwischen dem

35

Speicher kondensator, beispielsweise einem Grabenkondensator, und der Bitleitung herstellt. Die Wortleitung dient im Bereich des Transistors als Gate-Elektrode. Eines der Source/Drain-Gebiete ist leitend mit dem Grabenkondensator verbunden; das andere Source/Drain-Gebiet ist durch einen Bit-
5 leitungskontakt mit der diesem Transistor zugeordneten Bitleitung elektrisch verbunden. Die Gate-Elektrode bildet zusammen mit dem Gateoxid und einer schützenden Isolations-schicht, meist einer Nitridschicht, einen strukturierten Gate-Schichtenstapel, dessen Seitenwände mit einem Spacer, d.h.
10 einer isolierenden Seitenwandbedeckung zur Seite hin elektrisch isoliert sind. Zwischen einander benachbarten, mit Spacern ausgestatteten Wortleitungen sind die Bitleitungskontakte angeordnet, die die höhergelegenen Bitleitungen mit den
15 Source/Drain-Gebieten der Auswahltransistoren elektrisch verbinden. Die Kontaktstrukturen oder Bitleitungskontakte verbinden somit eine obere Ebene der Bitleitungen mit einer unteren Ebene der Dotiergebiete der Auswahltransistoren und verlaufen durch eine mittlere Ebene, in der die Wortleitungen
20 angeordnet sind.

In heutigen Halbleiterschaltungen, insbesondere Speicherschaltungen treten aufgrund der engen räumlichen Anordnung verschiedenster Strukturen Störeffekte auf, die das elektrische Schaltverhalten nachteilig beeinflussen. Ein Störfaktor
25 ist die lediglich durch die dünnen Seitenwandbedeckungen der Wortleitungen gebildete seitliche Isolierung der Wortleitungen gegenüber den Kontaktstrukturen bzw. Bitleitungskontakten, wodurch parasitäre Kapazitäten gebildet werden.

30 Beim Auslesen einer Speicherzelle werden sowohl die Wortleitung als auch die Bitleitung, in deren Kreuzungspunkt sich der Auswahltransistor der Speicherzelle befindet, aktiviert. Dabei fließt die in Speicherkondensator gesammelte elektrische Ladung über den Auswahltransistor aus der Zelle heraus
35 bzw. verteilt sich auf die Zelle und die angeschlossene Bitleitung bis hin zum Signalverstärker. Dadurch schwächt sich

das elektrische Potential, das am entsprechenden Bitleitungs-
anschluß des Signalverstärkers nun anliegt, gegenüber dem
elektrischen Potential der vorher in dem Speichertransistor
gespeicherten Ladung ab. Dennoch bleibt eine Potentialdiffe-
5 renz im Vergleich zu einer anderen, meist benachbarten Bit-
leitung meßbar, die mit keinem der angeschlossenen Speicher-
kondensatoren kurzgeschlossen ist.

Aufgrund dieser parasitären Kapazität entsteht somit ein zu-
10 sätzlicher Potentialbeitrag, der das aufgrund der Kondensa-
torkapazität und der Bitleitungskapazität erwartete elektri-
sche Potential am Signalverstärkereingang überlagert. Am an-
deren Eingang des Signalverstärkers liegt eine nicht akti-
vierte Bitleitung an, bei der eine vergleichbare parasitäre
15 Kapazität nicht auftritt. Im Signalverstärker wird somit die
eigentlich zu messende Potentialdifferenz beider Bitleitungen
durch die parasitäre Kapazität der aktivierten Bitleitung
überlagert.

20 Solche parasitären Effekte werden herkömmlich durch höhere
Betriebsspannungen und entsprechend höhere Ladungsmengen ei-
ner integrierten Halbleiterschaltung kompensiert. Dadurch
steigt jedoch der Stromverbrauch, die Wärmezufuhr und der
Platzbedarf der integrierten Halbleiterschaltung pro Spei-
25 cherzelle.

Es ist die Aufgabe der vorliegenden Erfindung, den Einfluß
parasitärer Kapazitäten zwischen Bitleitungskontakten und
Wortleitungen zu beseitigen, ohne die Betriebsspannung der
30 Halbleiterschaltung zu erhöhen. Insbesondere soll der Einfluß
parasitärer Kapazitäten, die an Seitenwandbedeckungen struk-
turierten Wortleitungen zu benachbarten Kontaktstrukturen von
Bitleitungen auftreten, verringert werden.

35 Diese Aufgabe wird erfindungsgemäß dadurch gelöst, daß

- daß zusätzliche Kontaktstrukturen vorgesehen sind, die ebenfalls an den Wortleitungen vorbeiführen und Blindkontakte darstellen,
- wobei für jede von einer Bitleitung ausgehende Kontaktstruktur, die an einer Wortleitung vorbeiführt und die Bitleitung mit einer Speicherzelle verbindet, ein von der benachbarten, an denselben Signalverstärker angeschlossenen Bitleitung ausgehender Blindkontakt vorgesehen ist, der an derselben Wortleitung vorbeiführt wie die jeweilige Kontaktstruktur.

Erfindungsgemäß sind zusätzlich zu den Kontaktstrukturen, welche die Bitleitung mit den Auswahltransistoren verbinden, weitere Kontaktstrukturen, und zwar Blindkontakte vorgesehen, die an der jeweils selben Wortleitung vorbeiführen, jedoch jeweils in Höhe der benachbarten Bitleitung, welche beim Auslesen mit Hilfe des Signalverstärkers als Referenzbitleitung eingesetzt wird. Zusätzlich zu dem Raster aus Bitleitungskontakten zum Auslesen der Speicherzellen ist ein zweites, versetzt angeordnetes Raster von Blindkontakten vorgesehen, so daß neben jedem Kreuzungspunkt zwischen einer Bitleitung und einer Wortleitung entweder eine zum Auslesen benötigte Kontaktstruktur oder ein Blindkontakt vorbeiführt; beide sind durch seitliche Isolierungen gegenüber den Wortleitungen isoliert. Da jede aktivierte Wortleitung somit nicht nur am Bitleitungskontakt der aktivierten Bitleitung, sondern auch an dem Blindkontakt der Referenzbitleitung vorbeiläuft, wird das elektrische Potential beider an denselben Signalverstärker angeschlossenen Bitleitungen beim Auslesen durch die parasitäre Kapazität in gleicher Weise verändert, so daß sich beide Störeffekte kompensieren.

Die durch den Blindkontakt geschaffene zusätzliche Kapazität dient zur Kompensation der parasitären Kapazität derjenigen Bitleitung, die an denselben Signalverstärker ebenfalls angeschlossen ist. Somit gleicht sich im Differenzverstärker der Einfluß beider Kapazitäten aus. Dadurch ist ein wesentlicher

Störfaktor beim Auslesen digitaler Speicherinhalte beseitigt, und die herkömmlich eingesetzte, überhöhte Betriebsspannung zumindest im Bereich des Zellenfeldes kann verringert werden; gleichzeitig erhöht sich die Zuverlässigkeit des Ausleseergebnisses.

Vorzugsweise ist vorgesehen, daß entlang einer Wortleitung abwechselnd solche Kontaktstrukturen, die eine Bitleitung mit einer Speicherzelle verbinden, und solche Kontaktstrukturen, die Blindkontakte darstellen, vorbeiführen.

Vorzugsweise ist vorgesehen, daß die Speicherkondensatoren in einem Halbleitersubstrat ausgebildete Grabenkondensatoren sind und daß die Bitleitungen in einem größeren Abstand von dem Halbleitersubstrat auf dem Halbleitersubstrat angeordnet sind als die Wortleitungen.

Insbesondere ist vorgesehen, daß die Blindkontakte jeweils über einer Grabenisolation des Halbleitersubstrats enden, wohingegen die übrigen Kontaktstrukturen jeweils in ein gemeinsames Dotiergebiet zweier Auswahltransistoren münden. Die Grabenisolationen befinden sich neben den aktiven Gebieten der Substratoberfläche, in denen jeweils einer von zwei Auswahltransistoren durch die aktivierte Wortleitung und den aktivierten Bitleitungskontakt geöffnet wird.

Vorzugsweise sind die Auswahltransistoren Feldeffekttransistoren, deren Gate-Elektroden durch die Wortleitungen gebildet sind. Insbesondere sind die seitlichen Isolierungen zwischen den Kontaktstrukturen und den Wortleitungen vorzugsweise Seitenwandbedeckungen, d.h. Spacer strukturierter Gate-Schichtenstapel.

Die erfindungsgemäß ausgebildete Halbleiterschaltung ist vorzugsweise ein dynamischer Schreib-Lese-Speicher, d.h. ein DRAM (dynamic random access memory).

Die Erfindung wird nachstehend mit Bezug auf die Figuren beschrieben. Es zeigen:

Figur 1 eine Speicherzelle einer integrierten Halbleiterschaltung,

Figur 2 eine herkömmliche integrierte Halbleiterschaltung,

Figur 3 eine erfindungsgemäße Halbleiterschaltung und

Figur 4 eine Querschnittansicht aus Figur 3.

Figur 1 zeigt eine Speicherzelle 20, wie sie typischerweise im Zellenfeld eines integrierten Halbleiterspeichers 10 im Falle eines vergrabenen Kondensators 25 mit planarem Auswahltransistor 15 ausgebildet ist. Der Auswahltransistor wird durch das Aktivieren einer Wortleitung 2, die die Gate-Elektrode des Transistors bildet, und einer Bitleitung 1, die über eine Kontaktstruktur 3 mit einem der Source/Drain-Gebiete 6 des Transistors verbunden ist, geöffnet. Der Grabenkondensator 25 besitzt nicht näher bezeichnete Elektroden, von denen eine tief im Substrat 5 vergraben ist und die andere die Füllung des tiefen Grabens (deep trench) innerhalb des Kondensatordielektrikums an der Grabenwandung bildet. Der Speicherkondensator befindet sich somit im wesentlichen in einer unteren Ebene E3, die bis tief in das Substratinnere hinunterreicht. Oberhalb der Substratoberfläche, auf einer Gateoxidschicht 16, befindet sich in Höhe einer Ebene E2 die Gesamtheit der Wortleitungen 2 sowie in einer noch höheren Ebene E1 die Gesamtheit der Bitleitungen 1. In der mittleren Ebene E2 befinden sich die Kontaktstrukturen 3, die seitlich von den Wortleitungen 2 nur durch deren Spacer 4 isoliert sind, wodurch sich parasitäre Kapazitäten ausbilden können.

Figur 2 zeigt eine Draufsicht auf eine herkömmliche Halbleiterschaltung mit einer Vielzahl von Speicherzellen. Links sind Signalverstärker (Sense Amplifier) 30 dargestellt, an deren Eingänge je zwei Bitleitungen 1a, 1b angeschlossen sind. Senkrecht zu den Bitleitungen verlaufen die Wortleitungen 2, zwischen denen halbkreisförmige Umrisse der tieferliegenden Grabenkondensatoren 25 erkennbar sind. In Höhe der Wortleitungen 2 erstrecken sich die Kontaktstrukturen 3, die eine über der Zeichenebene verlaufende Bitleitung mit einem gemeinsamen Source/Drain-Dotiergebiet zweier in Bitleitungsrichtung benachbarter Speicherzellen bzw. Auswahltransistoren verbinden. Das aktive Gebiet der zwei Auswahltransistoren ist mit dem Doppelpfeil 17 angedeutet. Die aktiven Gebiete bilden ein diagonales Raster entsprechend dem Raster der dargestellten Bitleitungskontakte oder Kontaktstrukturen 3. Beim Auslesen einer Speicherzelle wird die zugeordnete Bitleitung aktiviert und mit der benachbarten Bitleitung am gemeinsamen Signalverstärker ausgelesen. Die aktivierte Bitleitung ist über den Bitleitungskontakt mit der aktivierten Wortleitung parasitär gekoppelt, welche zum Auslesen der entsprechenden Speicherzelle ebenfalls geöffnet wurde. Dadurch entsteht eine parasitäre Kapazität, wie beispielsweise im Kreuzungspunkt der zweiten Wortleitung von links mit dem Bitleitungskontakt der untersten Bitleitung durch das angedeutete Kapazitätssymbol C und das Symbol eines Plattenkondensators dargestellt. Die benachbarte Bitleitung (die zweite Bitleitung von unten) besitzt keine solche parasitäre Kapazität, weshalb die parasitäre Kapazität C an der unteren Bitleitung die elektrische Potentialdifferenz zwischen beiden Bitleitungen verfälscht.

Figur 3 zeigt eine erfindungsgemäße Halbleiterschaltung, bei der zusätzlich zu den Bitleitungskontakten 3, die zum Auslesen von Speicherzellen dienen, Kontaktstrukturen 13 vorgesehen sind, die Blindkontakte darstellen, die in gleicher Weise an den Wortleitungen 2 vorbeiführen wie die Bitleitungskontakte 3, jedoch auf oder über einer Grabenisolation oder einer anderen isolierenden Struktur enden. Die Blindkontakte

haben somit keine schaltungstechnische Funktion; sie dienen jedoch zur Ausbildung kompensierender parasitärer Kapazitäten der jeweiligen Referenzbitleitung. In Figur 3 sind die parasitären Kapazitäten beider an denselben Signalverstärker 30 angeschlossenen Bitleitungen 1a und 1b durch das Symbol eines Plattenkondensators dargestellt.

Rechnerisch bestimmt sich das elektrische Potential einer Bitleitung allgemein nach der Gleichung

$$V_{bl} = (V_c - V_{bleq}) C_c / (C_c + C_{bl}) + V_{wl},$$

wobei V_{bl} das gemessene Potential der Bitleitung, V_c das elektrische Potential der Speicherzelle, V_{bleq} das gemittelte Potential einer Bitleitung zwischen On-Zustand und Off-Zustand (das arithmetische Mittel beider Potentiale), C_c die Kapazität der Speicherzelle, C_{bl} die Kapazität der Bitleitung und V_{wl} die Potentialverschiebung aufgrund der parasitären Kondensators bedeutet. Der letzte Term V_{wl} führt zur Überlagerung und Störung des zu messenden Bitleitungspotentials. Bei der erfindungsgemäßen Halbleiterschaltung gemäß Figur 3 tritt dieser Term V_{wl} jedoch auch auf der benachbarten Referenzbitleitung auf, und zwar zwischen derselben aktivierten Wortleitung 12 und dem benachbarten Blindkontakt 13. Beide Kapazitäten C führen zu gleichen Termen V_{wl} in der obigen Gleichung, welche sich beim Vergleich beider Bitleitungspotentiale kompensieren. Das im Signalverstärker gemessene Bitleitungspotential der ausgewählten Speicherzelle entspricht somit einem Bitleitungspotential

$$V_{bl} = (V_c - V_{bleq}) C_c / (C_c + C_{bl}).$$

Aufgrund der erfindungsgemäßen Kompensation können die herkömmlichen Spannungsüberhöhungen in der Größenordnung von etwa 300 mV entfallen; der Stromverbrauch der Halbleiterschaltung sinkt.

Figur 4 zeigt die erfindungsgemäße Halbleiterschaltung aus Figur 3 in einer ausschnittswisen Querschnittansicht entlang einer der Bitleitungen 1 in Figur 3. Der dargestellte Abschnitt entlang der Bitleitung 1 erstreckt sich ebenso wie in Figur 1 über die Abmessungen zweier benachbarter Speicherzellen 20; ebenso wie in Figur ist die Bitleitung durch eine Kontaktstruktur 3 mit einem gemeinsamen Source/Drain-Gebiet zweier Auswahltransistoren verbunden. Zusätzlich jedoch ist eine weitere Kontaktstruktur, der Blindkontakt 13, zwischen weiteren oberhalb der Speicherkondensatoren angeordneten Wortleitungen (passing wordlines) angeordnet, der oben zwar die Bitleitung kontaktiert, unten jedoch auf dem Gateoxid 16 oder unmittelbar auf einer Grabenisolation 35 endet. Der Blindkontakt hat keine schaltungstechnische Funktion. Er ist jedoch in gleicher Weise wie die Bitleitungskontakte 3 nur durch ein dünnes Seitenwandoxid 4 ausgebildet ist, von den benachbarten Wortleitungen 2 getrennt. Wenn die in Figur 4 abgebildete Bitleitung 1 die erste von zwei an einem gemeinsamen Signalverstärker angeschlossenen Bitleitung ist, so entspricht die Figur 4 gleichzeitig einem Schnitt entlang der benachbarten, zweiten an diesen Signalverstärker angeschlossenen Bitleitung dar, jedoch in Bitleitungsrichtung um die Abmessung einer Speicherzelle 20 versetzt. Die in Figur 4 dargestellte Schnittansicht im Bereich einer bestimmten Wortleitung 2 im Querschnitt der ersten Bitleitung entspricht der in Figur 4 dargestellten Schnittansicht im Bereich der übernächsten Wortleitungen 2 im Querschnitt durch die zweite Bitleitung und umgekehrt. Senkrecht zur Zeichenebene wiederholen sich die linke und die rechte Hälfte aus Figur 4, so daß entlang einer beliebigen Wortleitung 2 senkrecht zur Zeichenebene Bitleitungskontakte 3 und Blindkontakte 13 in abwechselnder Folge aufeinanderfolgen. Die elektrischen Potentiale beider Bitleitungen sind in gleicher Weise beim Aktivieren einer Wortleitung durch eine parasitäre Kapazität beeinflusst. Bei der Differenzmessung im Signalverstärker heben beide Einflüsse sich auf.

Die erfindungsgemäß ausgebildete Halbleiterschaltung ermöglicht somit ein zuverlässigeres Auslesen von in den Speicherkondensatoren gespeicherten digitalen Informationen und deren zuverlässige Bewertung als entweder digitale Null oder digitale Eins. Die durch die Blindkontakte geschaffenen zusätzlichen parasitären Kapazitäten verändern das elektrische Potential der jeweiligen Referenzbitleitung am Signalverstärker in gleicher Weise wie die parasitären Kapazitäten aktivierter Bitleitungen, wodurch das gemessene Differenzpotential um die parasitären Effekten korrigiert ist.

Patentansprüche

1. Integrierte Halbleiterschaltung (10) mit einer Vielzahl von Speicherzellen (20), die jeweils einen Auswahltransistor (15) und einen Speicherkondensator (25) aufweisen und durch Bitleitungen (1) und Wortleitungen (2) elektrisch ansteuerbar sind,

- wobei in Höhe der Wortleitungen (2) elektrische Kontaktstrukturen (3) angeordnet sind, die die Bitleitungen (1) mit den Auswahltransistoren (15) der Speicherzellen (20) elektrisch verbinden,

- wobei die Kontaktstrukturen (3) an den Wortleitungen (2) vorbeiführen und gegenüber den Wortleitungen (2) durch seitliche Isolierungen (4) isoliert sind und

- wobei jeweils zwei zueinander benachbarte Bitleitungen (1) an einen gemeinsamen Signalverstärker (30) angeschlossen sind,

d a d u r c h g e k e n n z e i c h n e t, daß

- zusätzliche Kontaktstrukturen (13) vorgesehen sind, die ebenfalls an den Wortleitungen (2) vorbeiführen und Blindkontakte darstellen,

- wobei für jede von einer Bitleitung (1a; 1b) ausgehende Kontaktstruktur (3), die an einer Wortleitung (2) vorbeiführt und die Bitleitung (1a; 1b) mit einer Speicherzelle (20) verbindet, ein von der benachbarten, an denselben Signalverstärker (30) angeschlossenen Bitleitung (1b; 1a) ausgehender Blindkontakt (13) vorgesehen ist, der an derselben Wortleitung (2) vorbeiführt wie die jeweilige Kontaktstruktur (3).

2. Halbleiterschaltung nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t, daß

entlang einer Wortleitung (2) abwechselnd solche Kontaktstrukturen (3), die eine Bitleitung (1) mit einer Speicher-

zelle (20) verbinden, und solche Kontaktstrukturen (13), die Blindkontakte darstellen, vorbeiführen.

3. Halbleiterschaltung nach Anspruch 1 oder 2,
dadurch gekennzeichnet, daß
die Speicherkondensatoren (25) in einem Halbleitersubstrat
(5) angeordnete Grabenkondensatoren sind und daß die Bitlei-
5 tungen (1) in einem größeren Abstand von dem Halbleitersub-
strat (5) auf dem Halbleitersubstrat (5) angeordnet sind als
die Wortleitungen (2).

4. Halbleiterschaltung nach einem der Ansprüche 1 bis 3,
10 dadurch gekennzeichnet, daß
die Blindkontakte jeweils über einer Grabenisolation (35) en-
den, wohingegen die übrigen Kontaktstrukturen (3) jeweils in
ein gemeinsames Dotiergebiet (6) zweier Auswahltransistoren
(15a, 15b) münden.

15 5. Halbleiterschaltung nach einem der Ansprüche 1 bis 4,
dadurch gekennzeichnet, daß
die Auswahltransistoren (15) Feldeffekttransistoren sind, de-
ren Gate-Elektroden durch die Wortleitungen (2) gebildet
20 sind.

6. Halbleiterschaltung nach einem der Ansprüche 1 bis 5,
dadurch gekennzeichnet, daß
die seitlichen Isolierungen (4) zwischen den Kontaktstruktu-
ren (3, 13) und den Wortleitungen (2) Seitenwandbedeckungen
5 strukturierter Gate-Schichtenstapel sind.

7. Halbleiterschaltung nach einem der Ansprüche 1 bis 6,
dadurch gekennzeichnet, daß
30 die Halbleiterschaltung ein dynamischer Schreib-Lese-Speicher
ist.

Zusammenfassung

Integrierte Halbleiterschaltung mit einer Vielzahl von Speicherzellen

5

Die Erfindung betrifft eine integrierte Halbleiterschaltung (10) mit durch Wortleitungen (2) und Bitleitungen (1) auslesbaren Speicherzellen. Je zwei zueinander benachbarte Bitleitungen (1a, 1b) sind an Eingänge desselben Signalverstärkers (30) angeschlossen. Um parasitäre Kapazitäten (C), die an dünnen Seitenwandisolationen zwischen den strukturierten Wortleitungen (2) und benachbarten Bitleitungskontakten (3) entstehen, zu kompensieren, sind erfindungsgemäß zusätzliche Kontaktstrukturen (13) vorgesehen sind, die ebenfalls an den Wortleitungen (2) vorbeiführen und Blindkontakte darstellen. Die durch die Blindkontakte (13) geschaffenen zusätzlichen parasitären Kapazitäten verändern das elektrische Potential der jeweiligen Referenzbitleitung (1b) am Signalverstärker (30) in gleicher Weise wie die parasitären Kapazitäten aktivierter Bitleitungen (1a), wodurch das gemessene Differenzpotential um die parasitären Effekte korrigiert ist.

Figur 3

Bezugszeichenliste

	1, 1a, 1b	Bitleitungen
	2	Wortleitungen
5	3	Kontaktstruktur (Bitleitungskontakt)
	4	Seitenwandisolation
	5	Halbleitersubstrat
	6	gemeinsames Source/Drain-Gebiet
	7	grabenseitiges Source/Drain-Gebiet
10	10	Halbleiterschaltung
	13	zusätzliche Kontaktstruktur (Blindkontakt)
	15	Auswahltransistor
	16	Gateoxid
	17	Doppelpfeil
15	20	Speicherzelle
	25	Speicherkondensator
	30	Signalverstärker
	35	Grabenisolation
	C	parasitäre Kapazität
20	E1, E2, E3	Ebenen
	Z	Zellenbereich

Fig. 1

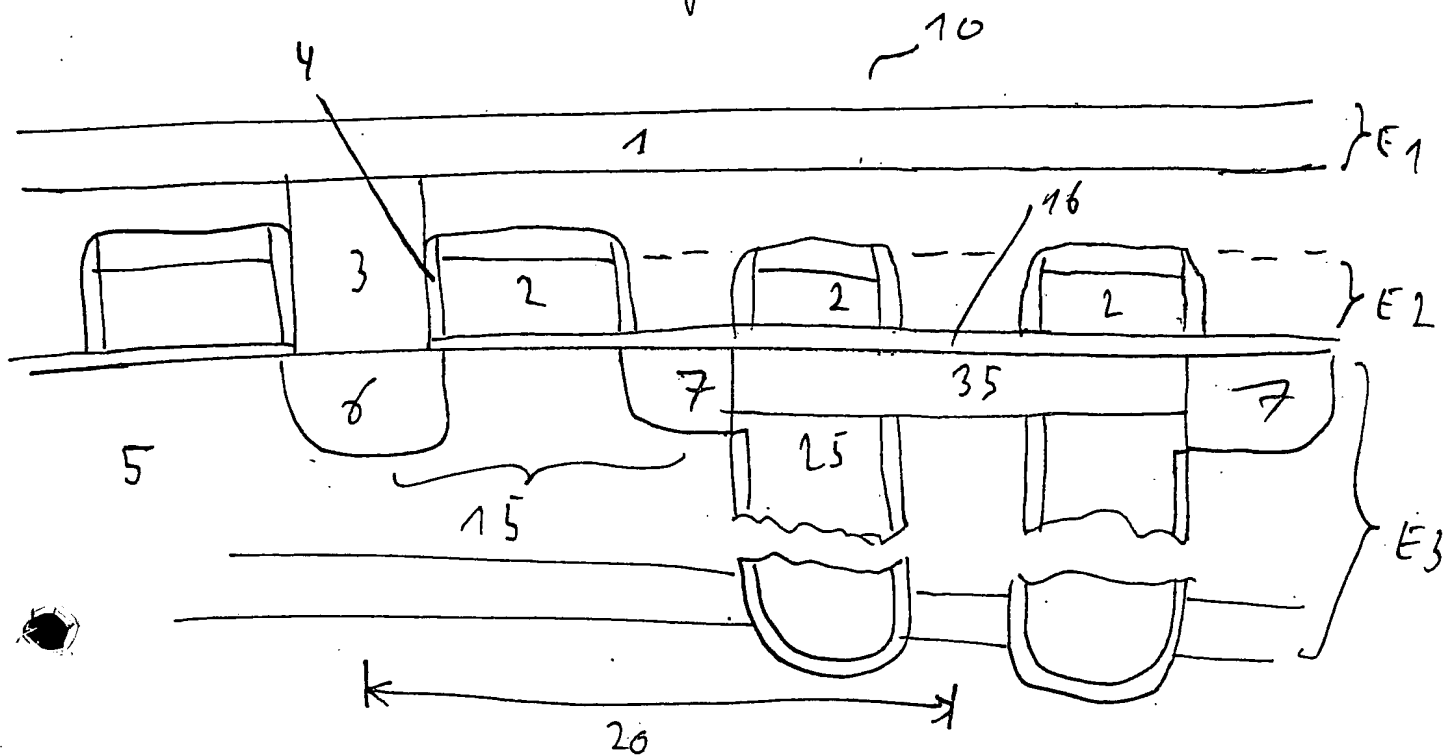


Fig. 4

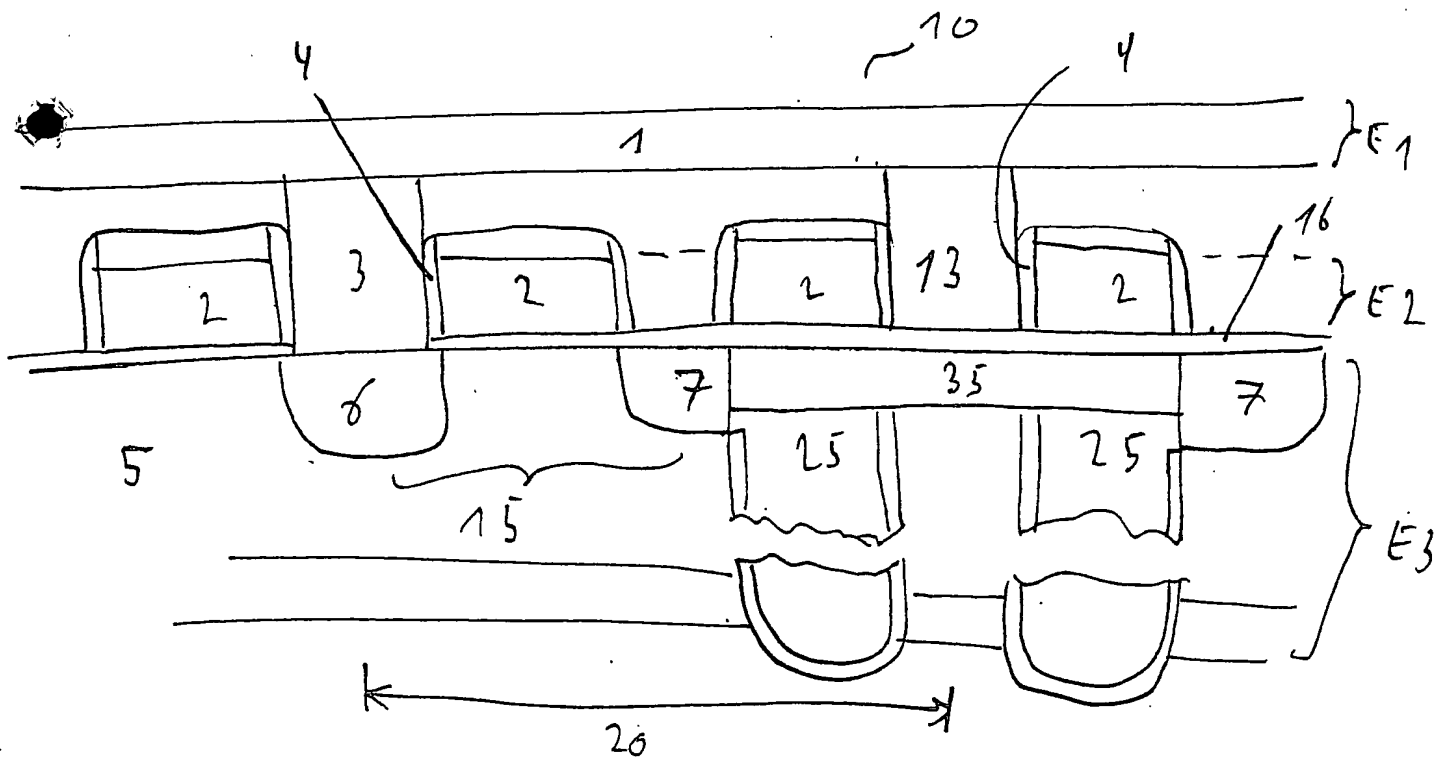


Fig. 2

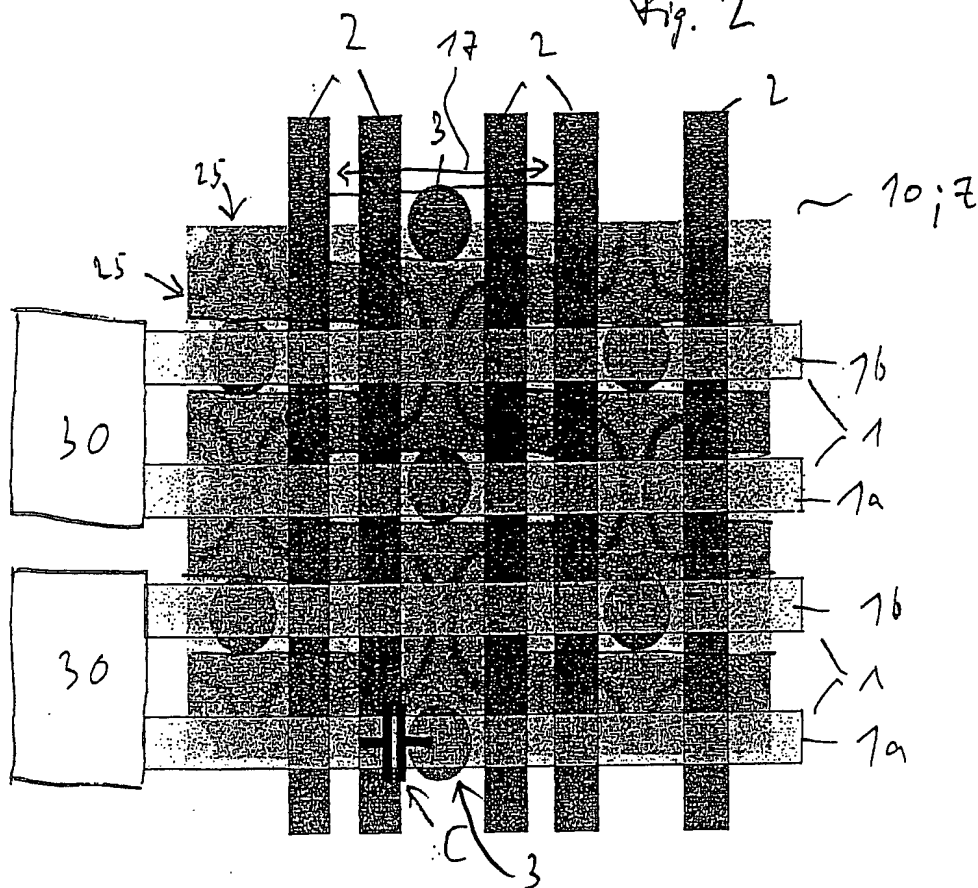


Fig. 3

